

**Copper fuse structure and method for manufacturing the same**

**Patent number:** TW544895  
**Publication date:** 2003-08-01  
**Inventor:** WU DER-YUAN (TW); LEE CHIU-TE (TW)  
**Applicant:** UNITED MICROELECTRONICS CORP (TW)  
**Classification:**  
- **international:** H01L23/52; H01L21/3205  
- **european:**  
**Application number:** TW20020109289 20020503  
**Priority number(s):** TW20020109289 20020503

**Report a data error here**

**Abstract of TW544895**

A copper fuse structure and the method for fabricating the same is disclosed in this present invention. By employing an inner copper metal layer as a fuse, the copper fuse according to this invention can be easily zipped with a laser repair tool. Furthermore, the openings on a bonding pad and the fuse of the semiconductor structure can be identified with the method according to this invention. Moreover, in contrast of the fuse formed with an upper aluminum layer in prior art, the cost of the fuse manufacture is lower in the method according to this invention by fabricating the fuse with an inner copper layer.

---

Data supplied from the **esp@cenet** database - Worldwide

**BEST AVAILABLE COPY**

第 93.128579 號

70251 206

申請日期 93/12/21	案號 1109289
類別 H01L 23/02	

(以上各欄由本局填註)

## 發明專利說明書

544895

一、 發明名稱	中文	具有銅熔絲的半導體結構及其形成方法
	英文	Copper Fuse Structure and Method for Manufacturing the Same
二、 發明人	姓名 (中文)	1. 吳德源 2. 李秋德
	姓名 (英文)	1. Der-Yuan WU 2. Chiu-Te LEE
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 新竹市寶山路452巷10弄14號 2. 新竹市竹光路314號
三、 申請人	姓名 (名稱) (中文)	1. 聯華電子股份有限公司
	姓名 (名稱) (英文)	1. UNITED MICROELECTRONICS CORP.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 300新竹科學工業園區新竹市力行二路三號
	代表人 姓名 (中文)	1. 曹興誠
	代表人 姓名 (英文)	1. Hsing-Cheng TSAO



## 四、中文發明摘要 (發明之名稱：具有銅熔絲的半導體結構及其形成方法)

本發明揭露了一種具有銅熔絲的半導體結構及其形成方法。本發明的半導體結構藉由使用位於內層的銅金屬層來作為熔絲，使得本發明中的銅熔絲可以被雷射光修補工具所切割。此外，本發明的方法可以在一道蝕刻製程中分別定義出在接合墊上方與在熔絲上方的開口。因此，藉由上述的過程，可以有效地形成一銅熔絲於一半導體結構中。此外，在本發明的方法中，更因為使用內層的銅金屬層來取代習知技藝中位於上層的鋁熔絲，所以可以節省整個半導體製程的成本。

## 英文發明摘要 (發明之名稱：Copper Fuse Structure and Method for Manufacturing the Same)

A copper fuse structure and the method for fabricating the same is disclosed in this present invention. By employing an inner copper metal layer as a fuse, the copper fuse according to this invention can be easily zipped with a laser repair tool. Furthermore, the openings on a bonding pad and the fuse of the semiconductor structure can be identified with the method according to this invention. Moreover, in contrast of the fuse formed with an upper aluminum layer in prior art,



四、中文發明摘要 (發明之名稱：具有銅熔絲的半導體結構及其形成方法)

英文發明摘要 (發明之名稱：Copper Fuse Structure and Method for Manufacturing the Same)

the cost of the fuse manufacture is lower in the method according to this invention by fabricating the fuse with an inner copper layer.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

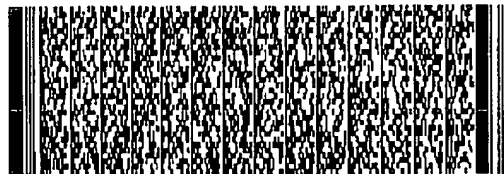
## 5-1 發明領域：

本發明係有關於一種積體電路的形成，特別是有關於一種形成於半導體結構中的銅熔絲之方法及其結構。

## 5-2 發明背景：

在高解像微影(high-resolution photolithography)與非等向性電漿蝕刻(anisotropic plasma etching)之類的半導體製程技術中，其發展方向主要是盡量縮小半導體元件的大小，並提升半導體元件的封裝密度(packaging density)。然而，許多積體電路元件的最後產出率(晶片產出率)將會隨著在晶片(chip)上的半導體元件密度之增加而下降。例如，位於一晶片上具有64 mega-bits的動態隨機存取記憶體(dynamic random access memory; DRAM)之電路元件將會隨著電路元件數量的升高而增加產出率的損耗。

一種用來克服上述記憶體產出率下降的方法是另外提供數排的記憶體電路胞(memory cells)並以熔絲的方式來連接每一排的電路胞。通常是使用雷射光來打開在諸如DRAM或SRAM之類的記憶體中的連結(熔絲)，以抑制記憶體電路胞中出現缺陷的部分，並修正位址解碼機(address

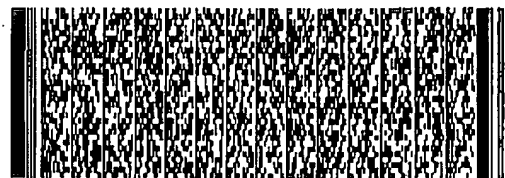


## 五、發明說明 (2)

decoder)使備用的記憶排可以用來取代上述的缺陷排。

第一圖是習知技藝中半導體元件的熔絲之示意圖。在一底材10上沉積一第一內金屬介電層(inter-metal dielectric layer; IMD layer)20。接著在第一內金屬介電層20中形成數個開口，並填入第一金屬插塞(metal plug)22與22a。沉積一第二內金屬介電層24於第一內金屬介電層20與第一金屬插塞22與22a之上。在第二內金屬介電層24中形成接觸窗於第一金屬插塞上，並填入第一金屬層26與26a。經過類似的模式及重複的步驟之後將可形成第三內金屬介電層28，第二金屬插塞30與30a，第四內金屬介電層32，及第二金屬層34與34a。最後在第四內金屬介電層32與第二金屬層34與34a上沉積一保護層(passivation)36，並對保護層36進行蝕刻。

由於第二金屬層34將會連接至外界的導線，所以在蝕刻過程後必須露出用來與外界連接的第二金屬層34。另一方面，第二金屬層34a是用來作為上述半導體元件之熔絲，所以，在上述蝕刻過程之後必須保持一層薄的保護層於第二金屬層34a上。為了達到上述目的，一種習知技藝中常見的方法是先使用一第一光罩來蝕刻保護層36以露出第二金屬層34且不會蝕刻第二金屬層34a上的保護層36。接下來，再以一第二光罩來蝕刻保護層36使得在第二金屬層34a上可以保有一層薄的保護層36。



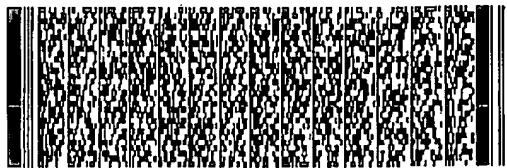
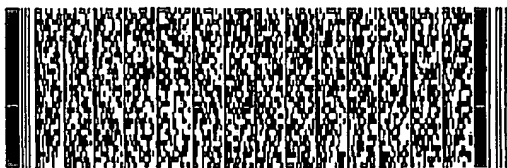
## 五、發明說明 (3)

在習知技藝中，上述的第一金屬插塞與第一金屬層通常是銅(copper)金屬層，而上述的第二金屬插塞與第二金屬層通常是鋁(aluminum)金屬層。一般而言，在製程中較不傾向於使用銅來作為熔絲。這是因為銅是良好的熱傳導物質，而且，形成於頂層的銅金屬層的厚度通常會很厚。所以，在以雷射光修補工具(laser repair tool)來切割熔絲的時候，需要使用較高的能量才能切斷銅熔絲。解決熔絲不易切割的方法之一是將銅熔絲改為鋁熔絲。因為鋁的熔點比銅低，所以在切割時不需使用高能量的雷射光即可切割鋁熔絲。但是，鋁熔絲的成本卻比銅熔絲高。

因此，為了能提高製程的效率以及節省半導體元件的製作成本，本發明提供了一種形成銅金屬層上的銅熔絲之結構與形成方法。

## 5-3 發明目的及概述：

鑒於上述之發明背景中，習知技藝在半導體結構的熔絲方面所出現的諸多缺點，本發明的主要目的在於藉由以半導體結構的內層中之薄的銅金屬層來作為半導體結構的熔絲，使得所形成的銅熔絲可以使用雷射光修補工具來切割。





## 五、發明說明 (4)

本發明的另一目的在於本發明以半導體結構之一薄的銅金屬層來取代習知技藝中的鋁金屬層成為半導體元件的熔絲，以節省半導體製程的成本。

本發明的再一目的在於本發明的方法可以結合形成保護層的開口於接合墊上的製程與形成保護層的開口於熔絲上的製程。換言之，本發明的方法可以一道蝕刻製程來分別定義出在接合墊與熔絲上方的開口。也就是，本發明的方法可以精簡半導體生產的製程。

根據以上所述之目的，本發明提供了一種半導體結構的銅熔絲及其形成方法。本發明係使用位於半導體結構中的內層銅金屬層來作為半導體元件之銅熔絲。再者，在上述銅熔絲上方的開口與上述半導體結構與外界連接的接合墊之上方開口可以於同一蝕刻製程中完成。如此一來，便可有效且經濟地形成一組銅熔絲於半導體結構之中。

## 5-4 發明詳細說明：

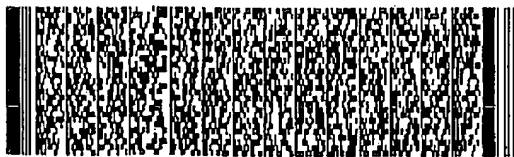
本發明的一些實施例會詳細描述如下。然而，除了詳細描述外，本發明還可以廣泛地在其他的實施例施行，且本發明的範圍不受限定，其以之後的專利範圍為準。



## 五、發明說明 (5)

再者，半導體元件的不同部分並沒有依照尺寸繪圖。某些尺度與其他相關尺度相比已經被誇張，以提供更清楚的描述和本發明的理解。

本發明之一較佳實施例為一種具有銅熔絲的半導體結構。在根據本發明的半導體結構中具有一半導體底材，在上述底材上具有一第一金屬層與一銅熔絲。上述的第一金屬層與銅熔絲位於同一層中且彼此分離。在上述的銅熔絲上具有一蝕刻終止層，其中，上述的蝕刻終止層包含一第一氮化矽層/或是包含一氧化矽層與一第一氮化矽層。在上述的第一金屬層上具有一介電層。上述的介電層可以是一低介電常數的內金屬介電層 (low K inter-metal dielectric layer)。在上述的介電層中具有一金屬連接層，上述的金屬連接層與上述的第一金屬層之間具有電性耦合。在上述的介電層上具有一第二金屬層，且上述的第二金屬層可以經由上述的金屬連接層而與上述的第一金屬層產生電性耦合。在上述的第二金屬層與第一氮化矽層上具有一保護層，上述的保護層可以包含一氧化矽保護層與一氮化矽保護層。在上述的保護層中具有一第一開口與一第二開口，其中，上述的第一開口可以曝露出上述的第二金屬層以作為上述半導體結構之接合墊，且上述的第二開口可以曝露出上述的氧化矽層/第一氮化矽層。在上述的

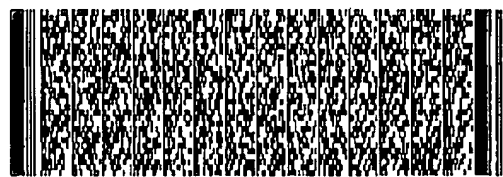


## 五、發明說明 (6)

第一開口與第二開口之側邊上形成一第二氮化矽層，上述的第二氮化矽層可以避免水氣之類的小分子滲透至上述的介電層進而影響本發明的半導體結構之導電性。

本發明之另一較佳實施例為一種於半導體結構中形成銅熔絲結構的方法。一種根據本發明的半導體結構，如第二圖所示，可以下列的方法來形成。首先，於一底材100上沉積一第一內金屬介電層110，並於第一內金屬介電層110中形成複數個第一開口。在第一開口中填入銅金屬並移除多餘的銅。上述多餘的銅可以化學機械研磨法之類的方法來移除。接下來，在第一內金屬介電層110上沉積一第二內金屬介電層120，並經由蝕刻的製程來形成第二開口於上述填滿銅金屬的第一開口之上。在第二開口中填入銅金屬並以諸如化學機械研磨法之類的方法來移除多餘的銅，以形成如第二圖所示的第一金屬層130與130a，其中，第一金屬層130是半導體結構中之一金屬內連接線，而第一金屬層130a是本實施例中的熔絲。

本發明的特徵之一是形成一蝕刻終止層於熔絲的上方。為了在經過蝕刻製程之後，如下文中所述，在第一金屬層130a上至少仍然可以保留一氧化矽層，所以，在本發明的方法中會先沉積一氧化矽層140與一氮化矽層150於上述的第二內金屬介電層與第一金屬層上。在熔絲130a上的氧化矽層140與氮化矽層150可以避免在蝕刻完成後，不僅露



## 五、發明說明 (7)

出半導體結構的接合墊，更同時會露出上述的熔絲部分，進而在整體電路上造成不必要的困擾。

在沉積一第三內金屬介電層160於上述的氮化矽層150上之後，依序蝕刻第三內金屬介電層160，氮化矽層150與氧化矽層140以形成一第三開口於第一金屬層130之上。在第三開口中填入銅金屬並移除多餘的銅。接下來，沉積一第四內金屬介電層170於第三內金屬介電層160上，並形成一第四開口於上述填滿銅金屬的第三開口之上。在第四開口中填入銅金屬並移除多餘的銅，以形成一第二金屬層180。重複上述的步驟，在第四內金屬介電層170與第二金屬層180上形成一第五內金屬介電層190，一第六內金屬介電層200與一第三金屬層210。第三金屬層210可以是上述半導體結構與外界連結的接合墊。

沉積一氧化矽保護層(passivation oxide)220與一氮化矽保護層(passivation SiN)230於第六內金屬介電層200與第三金屬層210之上。本發明的另一特徵將敘述如下。在經過一道光罩的微影製程之後，將可以在接合墊上方與熔絲上方分別形成一開口。換言之，在經過一道光罩的微影製程之後，不僅可以移除在第三金屬層210上方的氮化矽保護層230與氧化矽保護層220以形成一開口240於第三金屬層210之上。上述的微影製程更可以移除在第一金屬層130a上方的氮化矽保護層230，氧化矽保護層220，第

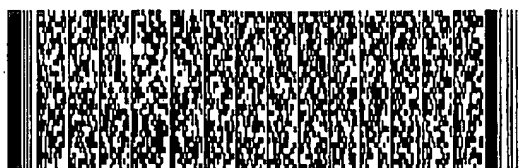


## 五、發明說明 (8)

六內金屬介電層200，第五內金屬介電層190，第四內金屬介電層170，及第三內金屬介電層160，以形成一開口250於第一金屬層130a上的蝕刻停止層之上。接著沉積一層氮化矽層260於氮化矽保護層230與開口240及開口250上。最後，在對氮化矽層260進行回蝕之後，將會露出用來作為接合墊的第三金屬層210。另一方面，在對氮化矽層260進行回蝕刻之後，將會露出作為熔絲的第一金屬層130a上之氧化矽層140與/或氮化矽層150。

在上述之較佳實施例中，氮化矽層260可以用來防止水氣或銅原子在形成開口的回蝕過程中進入裸露出來的內金屬介電層，特別是具有低介電係數的內金屬介電層。而熔絲上方的氧化矽層140與氮化矽層150可以用來防止在回蝕的過程中裸露出第一金屬層130a，以防止上述的半導體結構在電路上出現不必要的錯誤。

如上文中所述，在氮化矽層260的蝕刻製程中，將會露出半導體結構的接合墊，並蝕刻至熔絲的上方且不會露出熔絲。此時，熔絲上方的氧化矽層140與氮化矽層150將扮演著相當重要的角色。因為，熔絲上方的氧化矽層140與氮化矽層150必須使氮化矽層260的蝕刻製程可以蝕刻至接合墊210以露出接合墊，並蝕刻終止於熔絲130a上方以不露出熔絲。為了使蝕刻終止於上述熔絲上方的氧化矽層140與氮化矽層150，除了可以控制蝕刻製程的參數之外，





腳指頭



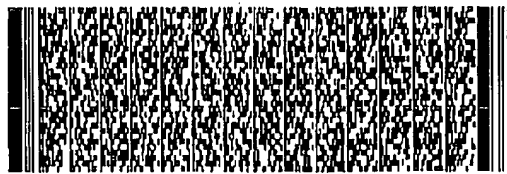
五、發明說明 (9)

指

更可以從氮化矽層260，氧化矽層140與氮化矽層150的厚度上來加以控制。例如，當氮化矽層260的厚度為 $2000 \pm 500$ 埃的時候，氧化矽層140與氮化矽層150的厚度可以分別為 $1500 \pm 500$ 埃與 $500 \pm 500$ 埃。如此一來，在進行氮化矽層260的蝕刻的時候，可以只移除熔絲130a上方的氮化矽層260，甚至是移除氮化矽層150，如第三圖所示。在熔絲130a的上方至少仍可保留一氧化矽層140，使得熔絲130a不至於在蝕刻製程之後顯露出來。

在應用上述半導體結構的裝置之電路胞出現缺陷的時候，可以使用雷射光修補工具來切割作為熔絲的第一金屬層130a，使得上述半導體結構可以使用一備用的電路胞（未顯示於圖中）來取代上述出現缺陷的電路胞。與習知技藝中的銅熔絲不同的是，在本發明的方法中係使用內層的銅金屬層來作為銅熔絲而非使用與接合墊同一層（表層）的銅金屬層來作為銅熔絲。其優點是，在內層的銅金屬層的厚度一般而言會比在表層的銅金屬層的厚度更薄。所以，在進行修補的時候，可以很容易的使用雷射光修補工具來切割本發明中的銅熔絲。

綜合以上所述，本發明揭露了一種在半導體結構中形成銅熔絲的方法。本發明可以使用半導體結構的內層之薄銅金屬層來作為半導體結構之熔絲，換言之，本發明可以使用一節省成本，且雷射光修補工具容易切割的元件來作



## 五、發明說明 (10)

為半導體結構中的熔絲。此外，在本發明中，可以在形成半導體結構之接合墊上方的開口的時候，同時在熔絲上形成一開口，也就是，本發明的方法可以在一道蝕刻製程中分別定義出接合墊與熔絲上方的開口。所以，本發明可以提升銅熔絲的適用性與熔絲製程的效率。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。



## 圖式簡單說明

本發明之上述目的與優點，將以下列的實施例以及圖示，做詳細說明如下，其中：

第一圖係一根據習知技藝的技術所形成之金屬熔絲的示意圖；

第二圖係一具有根據本發明所揭露技術所形成的金屬熔絲之半導體結構的示意圖；以及

第三圖係一第二圖的半導體結構在經過蝕刻氮化矽層260的步驟之後的示意圖。

主要部分之代表符號：

- 10 底材
- 20 第一內金屬介電層
- 22 第一金屬插塞
- 22a 第一金屬插塞
- 24 第二內金屬介電層
- 26 第一金屬層
- 26a 第一金屬層
- 28 第三內金屬介電層
- 30 第二金屬插塞
- 30a 第二金屬插塞
- 32 第四內金屬介電層





## 圖式簡單說明

- 34 第二金屬層
- 34a 第二金屬層
- 36 保護層
- 100 底材
- 110 第一內金屬介電層
- 120 第二內金屬介電層
- 130 第一金屬層
- 130a 第一金屬層(熔絲)
- 140 氧化矽層
- 150 氮化矽層
- 160 第三內金屬介電層
- 170 第四內金屬介電層
- 180 第二金屬層
- 190 第五內金屬介電層
- 200 第六內金屬介電層
- 210 第三金屬層
- 220 氧化矽保護層
- 230 氮化矽保護層
- 240 開口
- 250 開口
- 260 氮化矽層



## 六、申請專利範圍

1. 一種具有銅熔絲的半導體結構，該半導體結構包含：
  - 一底材；
  - 一第一金屬層位於該底材上；
  - 一銅熔絲位於該底材上，其中該銅熔絲與該第一金屬層位於同一層且該銅熔絲與該第一金屬層係彼此分離；
  - 一蝕刻終止層位於該銅熔絲上；
  - 一介電層位於該第一金屬層上；
  - 一金屬連接層位於該介電層中，該金屬連接層係與該第一金屬層電性耦合；
  - 一第二金屬層位於該介電層上，其中該第二金屬層與該金屬連接層電性耦合；及
  - 一保護層位於該第二金屬層與該蝕刻終止層上，其中該保護層包含可曝露出該第二金屬層之一第一開口與可曝露出該蝕刻終止層之一第二開口。
2. 如申請專利範圍第1項之半導體結構，其中該第一金屬層係一銅金屬層。
3. 如申請專利範圍第1項之半導體結構，其中該第二金屬層係一銅金屬層。
4. 如申請專利範圍第1項之半導體結構，其中該蝕刻終止層包含一氮化矽層與一氧化矽層。

~~1000±500Å~~  
1000±500Å

500±500Å

多層結構



## 六、申請專利範圍

5. 如申請專利範圍第1項之半導體結構，其中該蝕刻終止層係一氮化矽層。

6. 如申請專利範圍第1項之半導體結構，更包含一氮化矽層位於該等開口的側邊。

7. 如申請專利範圍第1項之半導體結構，其中該介電層係一低介電常數之內金屬介電層(Low K IMD layer)。

8. 一種具有銅熔絲的半導體結構，該半導體結構包含：

一底材；

一第一金屬層位於該底材上；

一銅熔絲位於該底材上，該第一金屬層與該銅熔絲係位於同一層且彼此分離；

一氧化矽層位於該銅熔絲上；

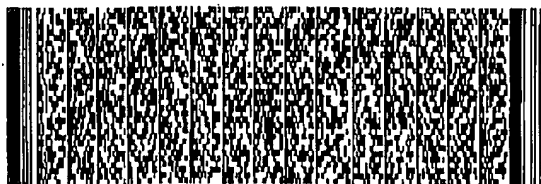
一第一氮化矽層位於該氧化矽層上；

一介電層位於該第一金屬層上；

一金屬連接層位於該介電層中，該金屬連接層係與該第一金屬層電性耦合；

一第二金屬層位於該介電層上，該第二金屬層係與該金屬連接層電性耦合；

一保護層位於該第二金屬層，與該第一氮化矽層上，其中該保護層包含可曝露出該第二金屬層之一第一開口與可曝露出該蝕刻終止層之一第二開口；及



## 六、申請專利範圍

— 第二氮化矽層位於該第一開口與該第二開口的側邊。

9. 如申請專利範圍第8項之半導體結構，其中該第一金屬層係銅金屬層。

10. 如申請專利範圍第8項之半導體結構，其中該第二金屬層係銅金屬層。

11. 如申請專利範圍第8項之半導體結構，其中該第一金屬層係一金屬內連接線。

12. 如申請專利範圍第8項之半導體結構，其中該第二金屬層係一金屬內連接線。

13. 一種銅熔絲的形成方法，上述的銅熔絲係位於一半導體結構中，該銅熔絲的形成方法包含：

提供一底材；

形成一第一金屬層於該底材上；

形成一銅熔絲於該底材上，其中該第一金屬層與該銅熔絲係位於同一層且該第一金屬層與該銅熔絲係彼此分離；

形成一蝕刻終止層於該銅熔絲上；

形成一介電層於該第一金屬層上；



## 六、申請專利範圍

形成一金屬連接層於該介電層中，該金屬連接層與該第一金屬層係電性耦合；

形成一第二金屬層於該介電層上，該第二金屬層與該金屬連接層係電性耦合；

形成一保護層於該第二金屬層與該蝕刻終止層之上；  
及

蝕刻該保護層以形成一第一開口與一第二開口，其中該第一開口可曝露出該第二金屬層，該第二開口可曝露出該蝕刻停止層。

14. 如申請專利範圍第13項之銅熔絲的形成方法，其中該蝕刻終止層的形成步驟包含：

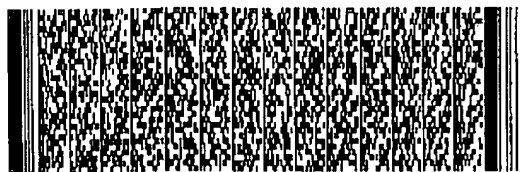
形成一氧化矽層於該銅熔絲上；與

形成一氮化矽層於該氧化矽層上。

15. 如申請專利範圍第13項之銅熔絲的形成方法，其中更包含形成一氮化矽層於該第一開口與該第二開口的左右側邊上。

16. 如申請專利範圍第13項之銅熔絲的形成方法，其中該蝕刻終止層的形成步驟係形成一氮化矽層於該銅熔絲上。

17. 如申請專利範圍第13項之銅熔絲的形成方法，其中該第一金屬層係銅金屬層。

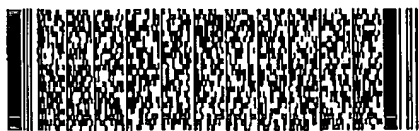


六、申請專利範圍

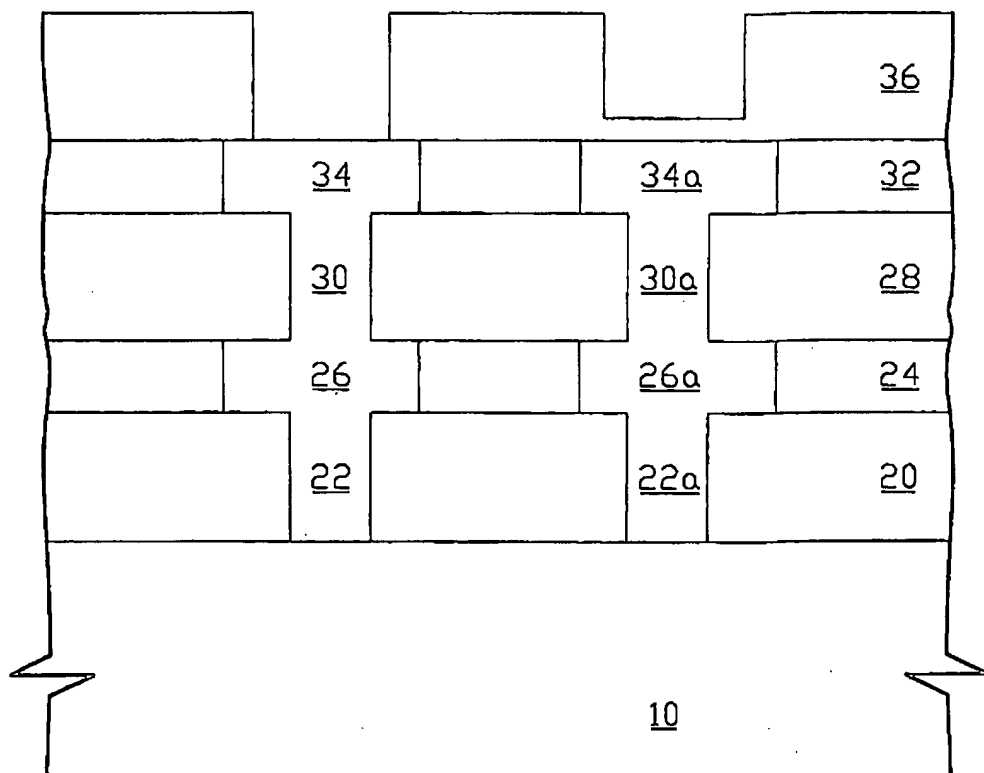
18. 如申請專利範圍第13項之銅熔絲的形成方法，其中該第二金屬層係銅金屬層。

19. 如申請專利範圍第13項之銅熔絲的形成方法，其中該第一金屬層係該半導體結構之一金屬內連接線。

20. 如申請專利範圍第13項之銅熔絲的形成方法，其中該第二金屬層係該半導體結構之一金屬內連接線。

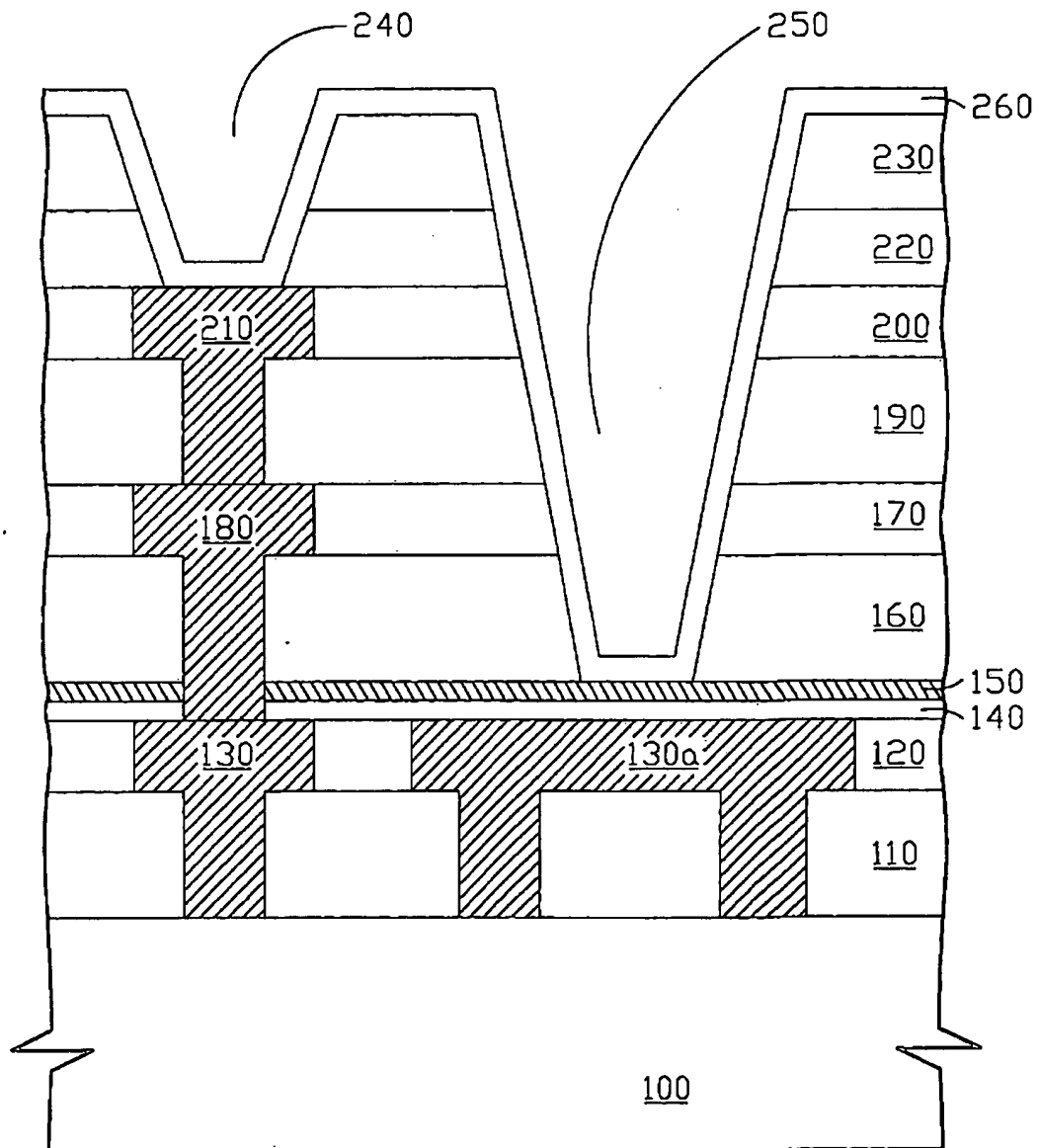


圖式



第一圖

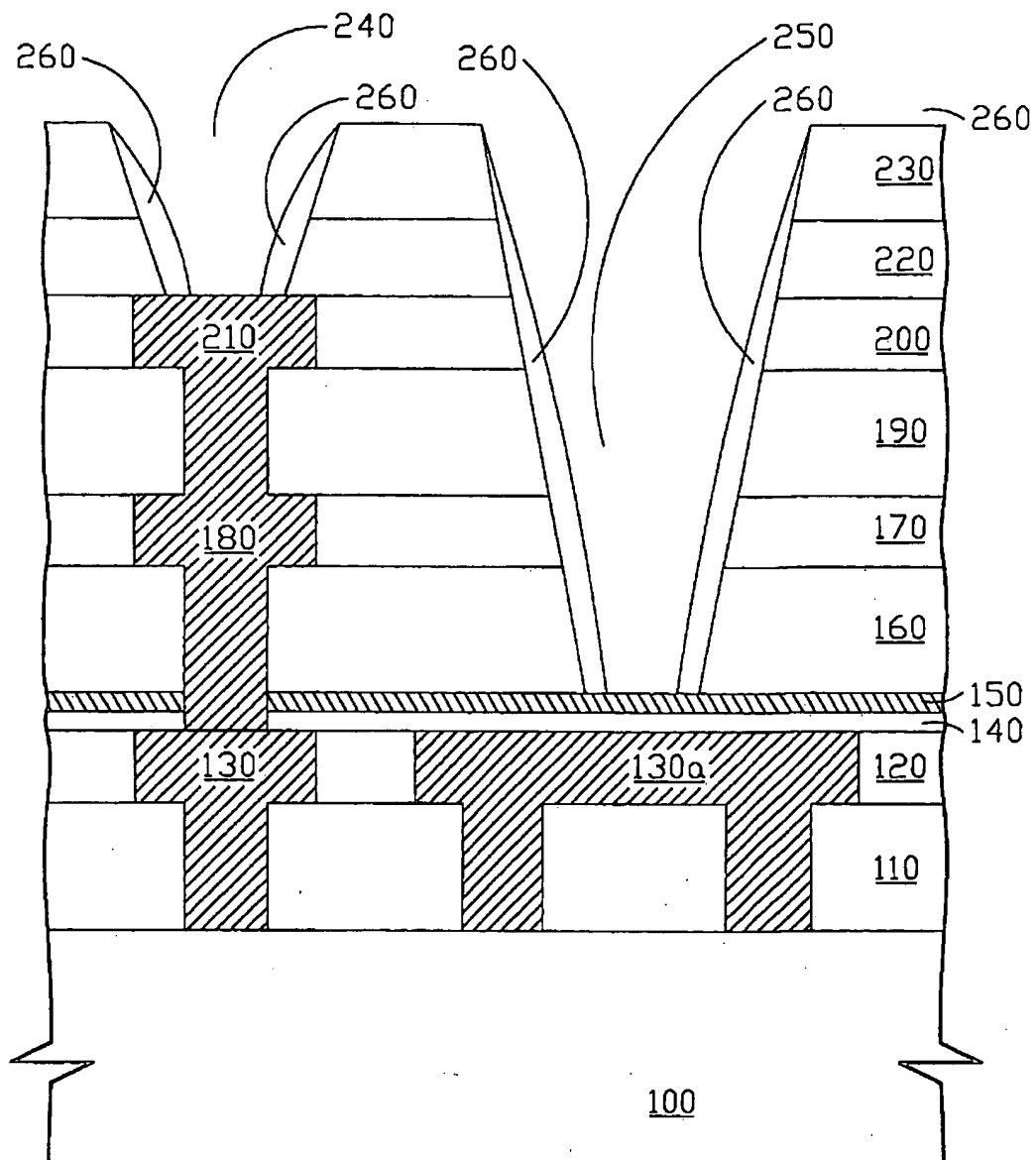
圖式



第二圖



圖式



第三圖

This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.